

IN THE U.S. PATENT AND TRADEMARK OFFICE

11000 U.S. PTO
09/981925
10/19/01

Applicant(s): MATSUURA, Syuuji

Application No.:

Group:

Filed: October 19, 2001

Examiner:

For: CABLE MODEM TUNER

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

October 19, 2001
0033-0772P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-364554	11/30/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sl1

IMH1500K1, 54, 001

October 19, 2001

BSN2, LLP

(703) 208-8000

053-0712P

1 of 1

#2

11000 U.S. PTO
NO/081025

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月30日

出 願 番 号

Application Number:

特願2000-364554

出 願 人

Applicant(s):

シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



日 本 国 特 許 庁
JAPAN PATENT OFFICE

MATSUURA, Syuji
October 19, 2001
BSKB, LLP
(703) 205-8000
0033-0712P
1 of 1

11000 U.S. PTO
09/981925



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月30日

出 願 番 号

Application Number:

特願2000-364554

出 願 人

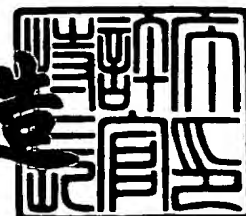
Applicant(s):

シャープ株式会社

2001年 6月13日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3055456

【書類名】 特許願

【整理番号】 1001918

【提出日】 平成12年11月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/44
H04L 27/38

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 松浦 修二

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ケーブルモデム用チューナ

【特許請求の範囲】

【請求項 1】 入力信号から受信チャネルに対応する信号を取り出して増幅し、中間周波信号を出力するチューナ部と、

前記チューナ部の出力に接続される弾性表面波フィルタと、

前記弾性表面波フィルタの出力に接続される利得制御および中間周波増幅回路と、

前記利得制御および中間周波増幅回路の出力に接続される低域通過フィルタと

前記低域通過フィルタの出力に接続される不平衡平衡変換回路とを備えた、ケーブルモデム用チューナ。

【請求項 2】 入力信号から受信チャネルに対応する信号を取り出して増幅し、中間周波信号を出力するチューナ部と、

前記チューナ部の出力に接続される弾性表面波フィルタと、

前記弾性表面波フィルタの出力に接続される利得制御および中間周波増幅回路と、

前記低域通過フィルタの出力に接続される平衡型増幅回路とを備えた、ケーブルモデム用チューナ。

【請求項 3】 前記利得制御および中間周波増幅回路は、前記弾性表面波フィルタの出力を受けるデュアルゲート型 MOSFET 増幅回路を含むことを特徴とする、請求項 1 または 2 に記載のケーブルモデム用チューナ。

【請求項 4】 前記利得制御および中間周波増幅回路は、前記弾性表面波フィルタの出力を受ける平衡型デュアルゲート MOSFET 増幅回路を含むことを特徴とする、請求項 1 または 2 に記載のケーブルモデム用チューナ。

【請求項 5】 前記利得制御および中間周波増幅回路は、
前記弾性表面波フィルタの出力を受ける差動増幅回路と、
前記差動増幅器の出力を受ける平衡型デュアルゲート型 MOSFET 増幅回路とを含むことを特徴とする、請求項 1 または 2 に記載のケーブルモデム用チューナ。

ナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はケーブルモデム用チューナに関し、特に、QAM (Quadrature Amplitude Modulation) 復調回路に対して中間周波信号を出力するのに適したケーブルモデム用チューナに関する。

【0002】

【従来の技術】

ケーブルテレビ（以下、CATVと称する）では、家庭への引込み線を同軸ケーブルのままにしておき、幹線ネットワークを光ファイバ化したHFC (Hybrid Fiber/Coax) の導入が進められている。これは、家庭に数Mビット（/秒）の広帯域データ通信サービスを提供するためであり、64QAMでも帯域幅6MHzで転送速度30Mビット/秒の高速データラインを作ることができる。これにケーブルモデムが使用され、CATVの空きチャネルを利用して、4Mビット/秒～27Mビット/秒の高速データ通信を実現することができる。ケーブルモデム用チューナは、このようなCATVシステムにおけるケーブルモデムに使用され、受信したCATV信号を周波数変換した後、中間周波信号として取出す役割を果たしている。

【0003】

図8は従来のケーブルモデム用チューナ1の構成を示すブロック図である。図1において、CATV信号については、局側に向けて送信される上り信号が5MHz～42MHzで運用され、局側からケーブルモデム用チューナに向けて送信される下り信号が54MHz～860MHzにて運用され、チューナの入力端子2を介してケーブルの回線に接続される。ケーブルモデムより送信される上り信号は、CATV局（システムオペレータ）のデータレシーバにて受信され、センターのコンピュータに入る。

【0004】

ケーブルモデム用チューナ1は、CATV信号を入力するCATV信号入力端

子2と、Q P S K送信機からのデータ信号を入力するデータ端子3と、データ端子3とC A T V信号入力端子2との間に設けられるアップストリーム回路4とを含む。

【 0 0 0 5 】

ケーブルモデム内部における上り信号はデータ端子3にたとえばQ P S K (Quadrature Phase Shift Keying) 送信機からの直交位相変位変調 (Q P S K) されたデータ信号が導入される。このデータ信号はアップストリーム回路4を介してC A T V局に送信される。

【 0 0 0 6 】

一方、入力端子2より入力される下り信号は、4 7 0 ~ 8 6 0 M H zを受信するU H Fバンド、1 7 0 M H z ~ 4 7 0 M H zを受信するV H Fハイバンドおよび5 4 ~ 1 7 0 M H zを受信するV H Fローバンドに分割され、各バンドごとに設けられた受信回路によって受信される。ただし、上述した各バンドの範囲は特に規定されるものではない。

【 0 0 0 7 】

ケーブルモデム用チューナ1は、さらに5 ~ 4 6 M H zの減衰域および5 4 M H z以上の通過域を有するハイパスフィルタ (H P F) 5と、ハイパスフィルタ5を通過した後の信号を各バンドに対応する回路群に振り分けるための入力切換回路6および7とを含む。下り信号はハイパスフィルタ5を通過した後、入力切換回路6および7によってバンドの切換が行なわれ、各バンドのいずれかに対応した回路群に供給される。

【 0 0 0 8 】

ケーブルモデム用チューナ1は、さらに各バンドに対応して設けられる高周波増幅入力同調回路8, 9および1 0と、U H FバンドおよびV H Fバンドに対応して設けられる高周波増幅回路1 1および1 2と、各バンドに対応して設けられる高周波増幅出力同調回路1 5, 1 6および1 7と、U H Fバンドに対応して設けられるミキサ回路1 8および局部発振回路1 9と、V H Fバンドに対応して設けられるミキサ回路2 0および局部発振回路2 1と、ミキサ回路1 8および2 0の出力を中間周波帯域において増幅するための中間周波増幅回路2 2とを含む。

【 0 0 0 9 】

各バンドに対応して設けられた高周波増幅入力同調回路、高周波増幅回路、高周波増幅出力同調回路、ミキサ回路および局部発振回路は、受信チャンネルに応じて受信したバンドに対応する回路群が動作状態となり、他のバンドに対応する回路群は非動作状態とされる。たとえば、UHFバンドのチャンネル受信時は、UHFバンド系統の高周波増幅入力同調回路 8、高周波増幅回路 11、高周波増幅出力同調回路 15、ミキサ回路 18 および局部発振回路 19 が動作状態となり、VHFハイバンドおよびVHFローバンド系統の高周波増幅入力同調回路 9、10 と、高周波増幅回路 12 と、高周波増幅出力同調回路 16 および 17 と、ミキサ回路 20 および局部発振回路 21 が非動作状態となり、動作を停止する。

【 0 0 1 0 】

入力端子 2 に入力されたCATV信号は、ハイパスフィルタ 5 を通過した後、入力切換回路 6、7 に入りバンドの切換が行なわれる。そして、その出力が高周波増幅入力同調回路 8、9、10 に導かれてチャンネルの選局が行なわれる。チャンネル選局が行なわれた信号は、AGC端子 24 に入力され、抵抗 13、14 を介して与えられるAGC電圧に基づいて高周波増幅回路 11、12 によって所定レベルに増幅された後、高周波出力同調回路 15、16、17 に供給され、ここで受信信号が導出される。

【 0 0 1 1 】

その後、選択された受信信号は、ミキサ回路 18、20 および局部発振回路 19、21 で中間周波数（IF）に周波数変換され、中間周波増幅回路 22 で増幅される。中間周波増幅回路 22 によって増幅された中間周波信号は出力端子 23 から出力される。

【 0 0 1 2 】

このように、従来のケーブルモデム用チューナ 1 は、受信したCATV信号を受信チャンネルに応じて選局した後に、チャンネル選局が行なわれた信号を周波数変換して出力端子 23 から出力する。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、このようなケーブルモデム用チューナ 1 を用いてデジタル信号である Q A M 信号を取扱い、出力端子 2 3 から出力される I F 信号を Q A M 復調用として Q A M 復調回路に送出することには、以下に述べるような種々の問題点が生じる。

【 0 0 1 4 】

まず、Q A M 復調回路として構成される I C には、5 0 d B 以上のハイレベルの I F 信号を入力する必要がある点がある。近年の Q A M 復調用 I C では、内蔵の A D C (Analog to Digital Converter) の性能が向上し、ハイレベルの中間周波信号を入力とする I C が一般化してきている。また、Q A M 復調用 I C の入力回路に I F 増幅回路および固定の減衰回路を内蔵していることから、従来に比べて $1/2$ (0. 5 V p - p) のレベルで良くなりつつある。しかしながら、従来のシングルコンバージョンチューナでは利得が 3 0 d B 前後であり、レベルとしては不足している。

【 0 0 1 5 】

さらに、Q A M 復調用 I C の入力回路が一般的に平衡型になってきており、チューナの I F 出力も平衡型出力でなければならないが、従来は不平衡型となっている。

【 0 0 1 6 】

さらに、Q A M 復調 I C の入力信号レベルは通常 0. 5 V p - p 程度必要とされているが、従来のチューナの I F 出力レベルはこのレベルになかった。

【 0 0 1 7 】

さらに、Q A M 復調 I C の入力レベルは受信信号に対して一定でなければならないが、従来のチューナでは R F - A G C のみでチューナ入力端の受信信号レベルの変動に対して制御し切れていない。

【 0 0 1 8 】

さらに、Q A M 復調 I C の入力レベルが高いため、ハイゲインの I F 増幅回路が必要とされる。このため、C P U のクロックノイズおよびバスノイズが流入しやすいという問題がある。これは、Q A M 復調 I C, C P U, I F 増幅回路およびダウンコンバータ回路は同一基板上に存在しているためである。

【 0 0 1 9 】

それゆえに、この発明の主たる目的は、QAM復調回路に入力する中間周波信号のレベルが高くかつ一定で、平衡型で出力できるケーブルモデム用チューナを提供することである。

【 0 0 2 0 】

【課題を解決するための手段】

この発明は、入力信号から受信チャネルに対応する信号を取り出して増幅し、中間周波信号を出力するチューナ部と、チューナ部の出力に接続される弾性表面波フィルタと、弾性表面波フィルタの出力に接続される利得制御および中間周波増幅回路と、利得制御および中間周波増幅回路の出力に接続される低域通過フィルタと、低域通過フィルタの出力に接続される不平衡平衡変換回路とを備えたことを特徴とする。

【 0 0 2 1 】

他の発明は、入力信号から受信チャネルに対応する信号を取り出して増幅し、中間周波信号を出力するチューナ部と、チューナ部の出力に接続される弾性表面波フィルタと、弾性表面波フィルタの出力に接続される利得制御および中間周波増幅回路と、低域通過フィルタの出力に接続される平衡型増幅回路とを備えたことを特徴とする。

【 0 0 2 2 】

また、利得制御および中間周波増幅回路は、弾性表面波フィルタの出力を受けるデュアルゲート型MOSFET増幅回路を含むことを特徴とする。

【 0 0 2 3 】

また、利得制御および中間周波増幅回路は、弾性表面波フィルタの出力を受ける平衡型デュアルゲートMOSFET増幅回路を含むことを特徴とする。

【 0 0 2 4 】

また、利得制御および中間周波増幅回路は、弾性表面波フィルタの出力を受ける差動増幅回路と、差動増幅回路の出力を受ける平衡型デュアルゲート型MOSFET増幅回路とを含むことを特徴とする。

【 0 0 2 5 】

【発明の実施の形態】

図 1 はこの発明の一実施形態のケーブルモデム用チューナのブロック図である。図 1 において、CATV 信号入力端子 2 ～ IF 増幅回路 22 までの構成は図 8 に示した従来例と同じであるので、その詳細な説明は省略する。

【0026】

この実施形態では、IF 増幅回路 22 の出力に QAM 復調回路（図示せず）に入力する中間周波信号のレベルが高くかつ一定で平衡型で出力するために、IF 増幅回路 22 の出力に弾性表面波フィルタ（SAW）24 と、IF AGC 回路 25 と、IF 増幅回路 26 と、ローパスフィルタ（LPF）27 と、平衡不平衡変換回路 28 とが接続される。SAW 24 は、中間周波信号の帯域外の成分を除去し、IF AGC 回路 25 は中間周波信号の利得が一定となるように制御し、IF 増幅回路 26 は一定にされた中間周波信号を所定のレベルまで増幅し、ローパスフィルタ 27 は帯域制限し、平衡不平衡変換回路 28 は不平衡信号を平衡信号に変換増幅した後 IF 出力端子 29 から IF 信号を出力し、図示しない QAM 復調回路に与える。

【0027】

図 2 は図 1 に示した SAW フィルタから平衡不平衡変換回路までの具体的な回路図である。図 2 において、SAW フィルタ 24 は図 1 に示した IF 増幅回路 22 から受けた IF 信号を、伝送すべき帯域幅に変換するとともに不要信号を取除く作用を行なう。SAW フィルタ 24 は、圧電素子の表面上に取付けられた電極によって、表面弾性波で送る電圧振動を取出すフィルタであり、電極の位置構造により共振特性を変えることができる。

【0028】

SAW フィルタ 24 からの出力信号が与えられる IF AGC 回路 25 は、SAW フィルタ 24 からの出力信号および AGC 端子 31 に入力された AGC 電圧を受けるデュアルゲート型 MOSFET T1 を含む。デュアルゲート型 MOSFET T1 は、SAW フィルタ 24 からの出力信号を AGC 電圧に応じて増幅する。AGC 端子 31 とデュアルゲートの一方との間には抵抗 R3 が接続され、AGC 端子 31 およびデュアルゲートの一方と接地間に、接地キャパシタ C7 および C

2 がそれぞれ接続される。また、SAW フィルタ 2 4 とデュアルゲートの他方との間にはデュアルゲート型 MOSFET T 1 への直流成分を阻止するためのキャパシタ C 1 が接続され、デュアルゲートの他方と接地間には抵抗素子 R 1 が接続され、デュアルゲートの他方と電源端子 3 2 との間にゲートバイアス抵抗 R 2 が接続される。デュアルゲート型 MOSFET T 1 の出力と電源端子 3 2 との間にはチョークコイルに相当するインダクタ L 1 が接続される。

【 0 0 2 9 】

I F 増幅回路 2 6 は I F 信号を増幅するバイポーラトランジスタ T 2 を含み、デュアルゲート MOSFET T 1 の出力が直流阻止キャパシタ C 3 を介してバイポーラトランジスタ T 2 のベースに与えられる。バイポーラトランジスタ T 2 のベースと電源端子 3 2 との間には、バイアス抵抗 R 4 が接続され、そのベースと接地間にはバイアス抵抗 R 5 が接続され、エミッタと接地間にはバイアス抵抗 R 6 と接地キャパシタ C 5 が接続され、コレクタとベースとの間には帰還抵抗 R 8 と直流阻止キャパシタ C 1 6 との直列回路が接続される。

【 0 0 3 0 】

また、バイポーラトランジスタ T 2 のコレクタには電源端子 3 2 から抵抗 R 7 を介して電源電圧が供給される。このバイポーラトランジスタ T 2 からなる増幅回路は十分なダイナミックレンジを有しており、利得調整を行なうことができる。

【 0 0 3 1 】

バイポーラトランジスタ T 2 の次段には π 型のローパスフィルタ 2 7 が接続される。このローパスフィルタ 2 7 はチューナ 1 からのローカルリーケージを低減するとともにガウシアンノイズを帯域制限し、CNR を改善するものであり、コイル L 2 とキャパシタ C 1 2, C 1 3 および C 1 4 からなり、直流阻止キャパシタ C 1 1 を介して前段のバイポーラトランジスタ T 2 のコレクタと接続されている。平衡不平衡変換回路 2 8 は I C の差動回路 3 3 から構成されており、この差動回路 3 3 によって I F 信号が平衡出力に変換され、一定の利得が与えられる。

【 0 0 3 2 】

図 3 はこの発明を用いた全体のシステムを示すブロック図である。図 3 におい

て、チューナ 1 の出力は、図 2 に示したように SAW フィルタ 2 4, I F A G C 回路 2 5, I F 増幅回路 2 6, 差動増幅回路 3 3 を介して Q A M 復調回路 4 0 に与えられる。

【 0 0 3 3 】

Q A M 復調回路 4 0 から R F A G C 電圧 H がチューナ 1 に与えられ、I F A G C 電圧 G が I F A G C 回路 2 5 に与えられ、全体の利得が一定となるように制御される。Q A M 復調回路 4 0 は差動増幅回路 3 3 から与えられる平衡な I F 信号を復調し、その復調出力のビットストリーム信号はデータ信号として図示しない次段の M P E G 再生回路または M A C 回路に供給される。

【 0 0 3 4 】

図 4 は図 1 に示した SAW フィルタから平衡不平衡変換回路までの他の例を示す回路図である。

【 0 0 3 5 】

前述の図 2 に示した平衡不平衡回路 2 8 は I C 回路で構成された差動増幅回路 3 3 を用いたが、図 4 に示した実施形態では、ディスクリットタイプのトランジスタ T 3, T 4 で差動増幅回路を構成し、コストダウンを図るものである。トランジスタ T 3, T 4 のエミッタ同士はバイアス抵抗 R 1 1 を介して接続されており、さらに各エミッタと接地間にはバイアス抵抗 R 1 2, R 1 3 が接続される。トランジスタ T 3, T 4 のコレクタと電源端子 3 2 との間には高周波チョークコイル L 3, L 4 とダンピング抵抗 R 1 4, R 1 5 が接続されており、トランジスタ T 3 のベースには直流阻止コンデンサ C 3 を介してデュアルゲート M O S F E T T 1 の出力が与えられている。

【 0 0 3 6 】

トランジスタ T 4 のベースにはバイアス抵抗 R 9, R 1 0 と接地キャパシタ C 8 のそれぞれの一端が接続され、バイアス抵抗 R 9 と接地キャパシタ C 8 の他端は接地されている。高周波チョークコイル L 3, L 4 の電源端子 3 2 側には接地キャパシタ C 6, C 1 7 が接続される。トランジスタ T 3, T 4 のコレクタからは直流阻止コンデンサ C 9, C 1 0 と緩衝抵抗 R 1 6, R 1 7 を介して平衡 I F 信号が外部に出力される。

【 0 0 3 7 】

上述の如く、図 4 に示した実施形態では、トランジスタ T 3, T 4 で差動型増幅回路を構成することにより、図 2 に示したように I F 増幅回路 2 6 と差動増幅回路 3 3 を別個に設けなくても済む。

【 0 0 3 8 】

図 5 は図 4 に示した回路の出力に接続されるローパスフィルタの一例を示す回路図である。図 4 に示した差動増幅回路は平衡出力で I F 信号を出力するため、図 5 に示したローパスフィルタは平衡な I F 信号が入力できるように平衡型 L P F で構成したものである。すなわち、I F 信号が入力される一方の入力端子 5 1 と出力端子 5 3 との間にはコイル L 1 1, L 1 2 および L 1 3 が直列接続され、これらの L 1 1, L 1 2 および L 1 3 のそれぞれに対してキャパシタ C 2 1, C 2 2 および C 2 3 が並列接続される。

【 0 0 3 9 】

他方の入力端子 5 2 と出力端子 5 4 との間にもコイル L 1 4, L 1 5 および L 1 6 が直列接続され、それぞれに対してキャパシタ C 2 6, C 2 7 および C 2 8 が並列接続される。コイル L 1 1 および L 1 2 の接続点とコイル L 1 4 および L 1 5 の接続点との間にはキャパシタ C 2 4 が接続され、コイル L 1 2 および L 1 3 の接続点とコイル L 1 5 および L 1 6 の接続点との間にはキャパシタ C 2 5 が接続され、出力端子 5 3 と 5 4 との間には周端抵抗 R 1 が接続される。

【 0 0 4 0 】

このように、平衡型ローパスフィルタを構成することにより、図 4 に示した平衡な I F 信号からの帯域を制限することができる。

【 0 0 4 1 】

図 6 は I F A G C 回路を平衡型の A G C 回路で構成した実施形態を示す回路図である。図 6 において、S A W フィルタ 2 4 は一般的に平衡出力で形成されており、一方の出力は図 4 と同様にして直流阻止コンデンサ C 1 を介してデュアルゲート M O S F E T T 1 のデュアルゲートの一方に入力され、他方の出力は直流阻止キャパシタ C 3 1 を介してデュアルゲート M O S F E T T 5 のデュアルゲートの一方に入力される。これらのデュアルゲートの一方と接地間にはバイアス抵抗

R 1, R 3 1 が接続されるとともに、これらのデュアルゲートの一方と電源端子 3 2 との間にはバイアス抵抗 R 5, R 3 2 が接続されている。

【 0 0 4 2 】

デュアルゲートの他方には、ゲートバイアス抵抗 R 3 を介して電源端子 3 1 から電源が供給される。これらのゲートと接地間には接地キャパシタ C 2 と C 3 2 が接続されている。デュアルゲート MOS F E T T 1 および T 5 の各出力と電源端子 3 2 との間にはコイル L 1, L 2 が接続される。そして、デュアルゲート MOS F E T T 1 の出力とトランジスタ T 3 のベースとの間には直流阻止コンデンサ C 3 が接続され、デュアルゲート MOS F E T T 5 の出力とトランジスタ T 4 のベースとの間には直流阻止コンデンサ C 3 3 が接続される。さらに、トランジスタ T 3 のベースおよび T 4 のベースと電源端子 3 2 との間にはバイアス抵抗 R 4, R 3 3 が接続されるとともに、各ベースと接地間にバイアス抵抗 R 5, R 3 4 が接続される。

【 0 0 4 3 】

トランジスタ T 3, T 4 のエミッタと接地間には抵抗 R 3 5, R 3 6 が接続されるとともに、これらのエミッタ間には抵抗 R 4 0 が接続される。さらに、トランジスタ T 3 のコレクタと電源端子 3 2 との間にはバイアス抵抗 R 3 7 とコイル L 3 が接続され、トランジスタ T 4 のコレクタと電源端子 3 2 との間にはバイアス抵抗 R 1 2 とコイル L 4 が接続される。そして、各トランジスタ T 3, T 4 のコレクタから直流阻止コンデンサ C 3 5, 出力緩衝抵抗 R 3 8 を介して I F 平衡信号の一方が出力され、直流阻止コンデンサ C 3 6 と出力緩衝抵抗 R 3 9 を介して I F 平衡信号の他方が出力される。

【 0 0 4 4 】

この図 6 に示した実施形態では、デュアルゲート MOS F E T T 1, T 2 で I F A G C 回路が構成され、トランジスタ T 3, T 4 で I F 増幅をするとともに、I F 平衡信号を出力できる。この場合、各デュアルゲート MOS F E T T 1, T 5 とトランジスタ T 3, T 4 として特性が揃っているデバイスを用いるのが望ましい。そして、この例では、入力から出力まで平衡回路で構成されているため、利得および不平衡成分の妨害に対して非常に有利となる。また、S A W フィルタ

24は平衡回路とすることにより、直接波の影響が少なく、リップル特性を改善できるという利点がある。

【0045】

図7は図4に示した回路の変形例を示す回路図である。この図7に示した実施形態は、SAWフィルタ24とIFAGC回路25との間に集積回路からなる平衡不平衡変換回路35を追加したものであり、この回路を追加することによりリップル特性および利得不足を向上できる。

【0046】

上述の如く、この実施形態ではQAM復調回路に入力されるレベルが0.5V_{p-p}必要とされるためチューナの利得として50dB以上必要となり、従来のチューナでは30dB前後しか得られない利得を、SAWフィルタ24を内蔵した平衡型IF増幅器により50dB以上に改善できる。

【0047】

また、不平衡を平衡に変換するIF出力回路を設けたことにより、入力回路が平衡型のQAM復調回路にも問題なくIF信号を与えることができる。

【0048】

さらに、QAM復調回路の入力レベルが0.5V_{p-p}となるようにSAWフィルタ24、IFAGC増幅回路25および平衡型のIF増幅回路26を構成できる。さらに、IFAGC増幅回路25を設けることにより、QAM復調回路の入力レベルを受信信号に対して一定にすることができる。

【0049】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0050】

【発明の効果】

以上のように、この発明によれば、SAWフィルタ、AGC中間周波増幅回路とローパスフィルタおよび平衡不平衡回路をチューナの出力に接続するようにし

たので、QAM復調回路に与えるIF信号を一定レベルに確保でき、平衡型のQAM復調回路であってもIF信号を出力することができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態のケーブルモデム用チューナの全体の構成を示すブロック図である。

【図2】 図1に示したSAWフィルタから平衡不平衡変換回路までの具体的な回路図である。

【図3】 この発明を用いた全体のシステムを示すブロック図である。

【図4】 図1に示したSAWフィルタから平衡不平衡変換回路までの他の例を示す回路図である。

【図5】 図4に示した回路の出力に接続されるローパスフィルタの一例を示す回路図である。

【図6】 IFAGC回路を平衡型AGC回路で構成した例を示す回路図である。

【図7】 図4に示した回路の変形例を示す回路図である。

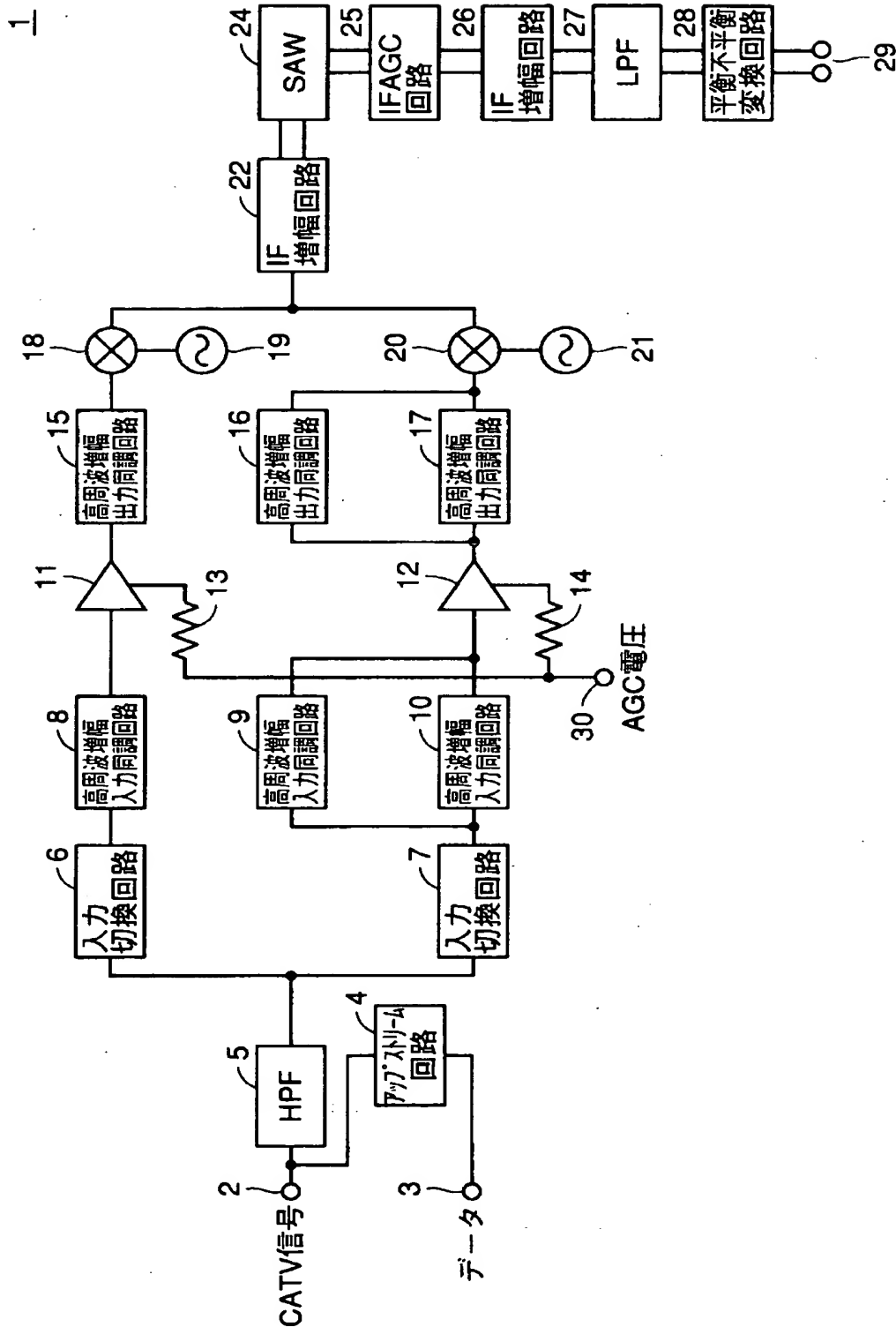
【図8】 従来のケーブルモデム用チューナのブロック図である。

【符号の説明】

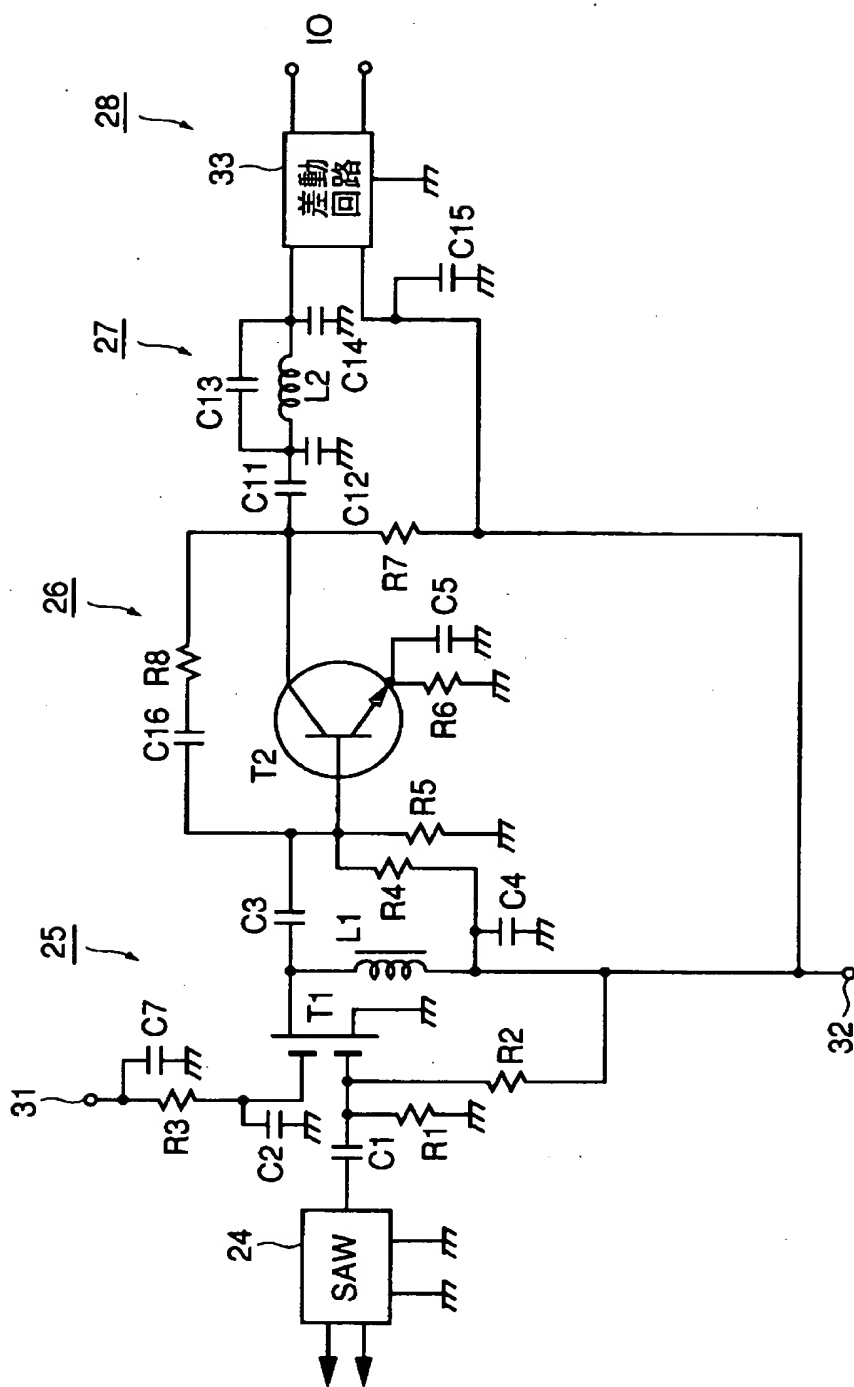
1 チューナ、2 CATV信号入力端子、3 データ出力端子、4 アップストリーム回路、5 HPF、6, 7 入力切換回路、8, 9, 10 高周波増幅入力同調回路、11, 12 高周波増幅回路、15, 16, 17 高周波増幅出力同調回路、18, 20 ミキサ、19, 21 局部発振回路、22, 26 IF増幅回路、24 SAWフィルタ、25 IFAGC回路、27 LPF、28 平衡不平衡変換回路、T1, T5 デュアルゲートMOSFET、T2, T3, T4 バイポーラトランジスタ、30 AGC端子、31, 32 電源端子、33 差動増幅回路。

【書類名】 図面

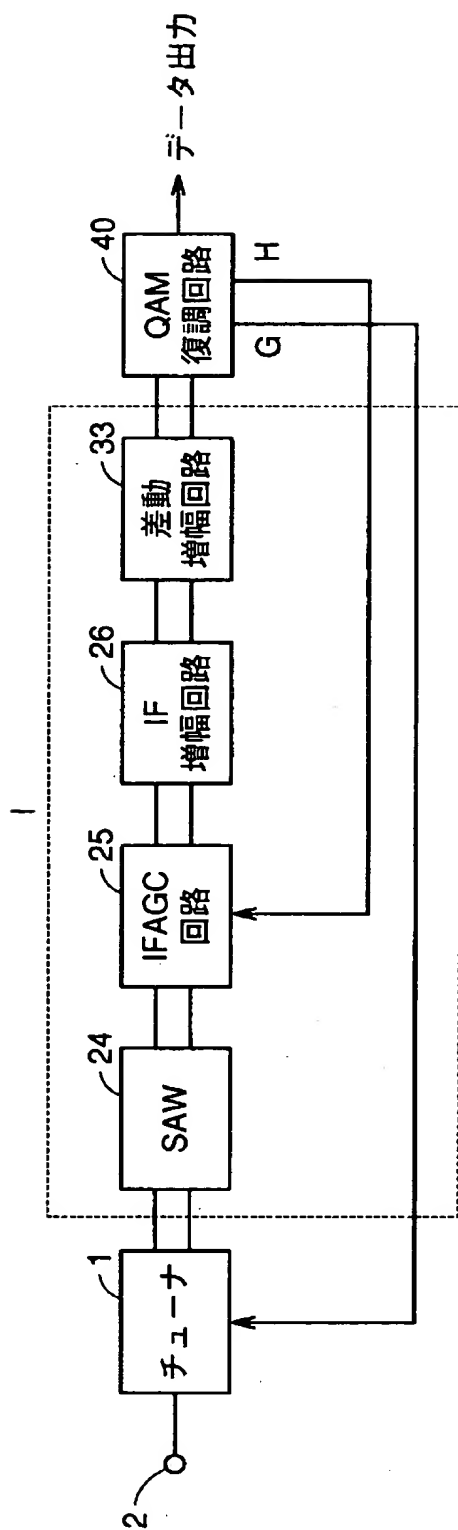
【図 1】



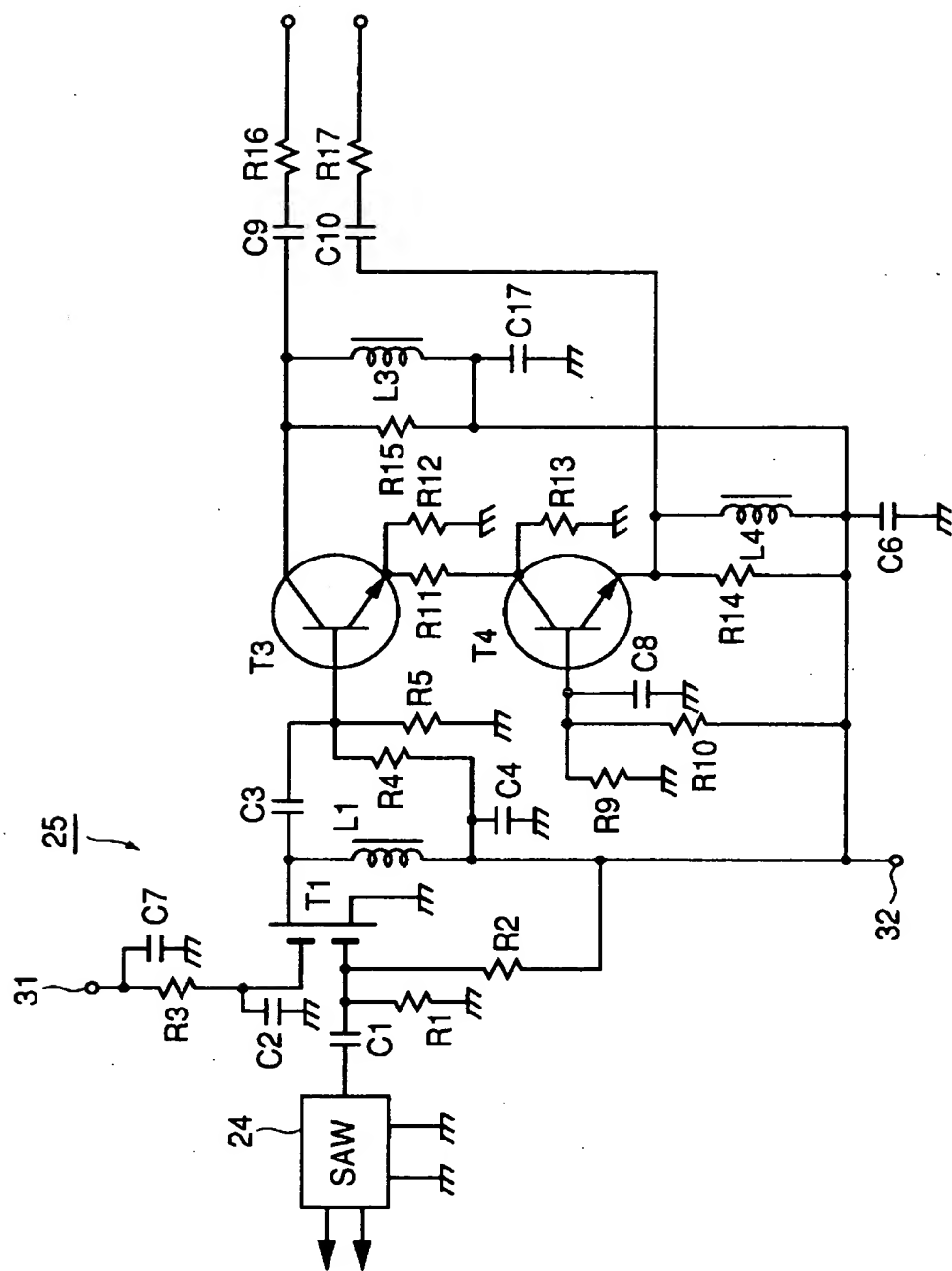
【図 2】



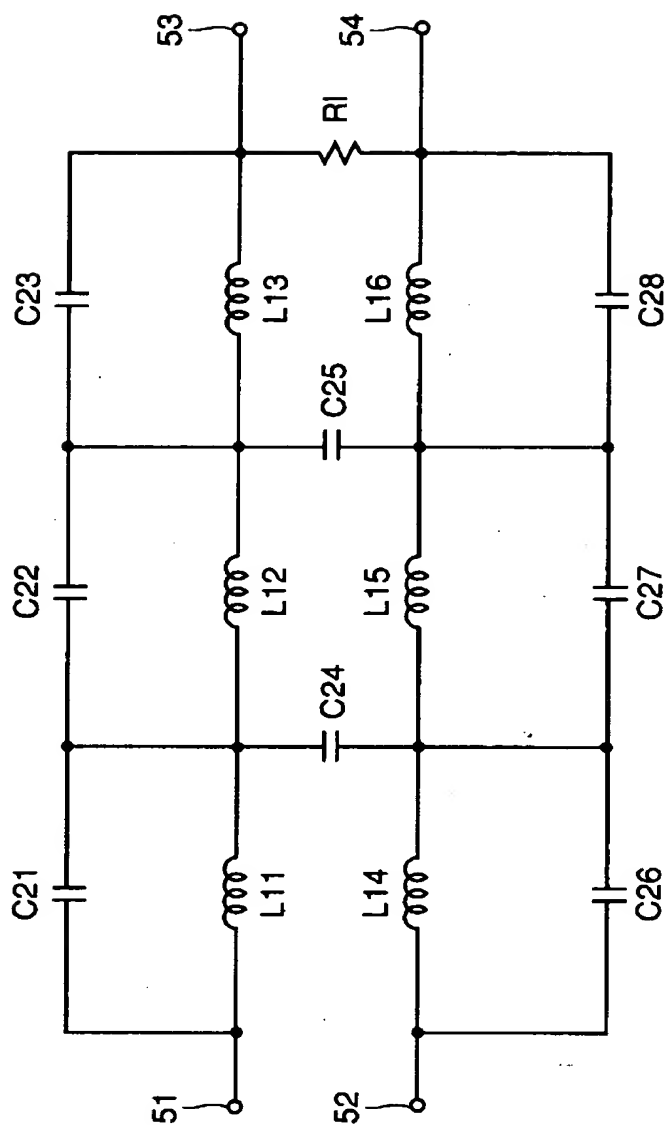
【図 3】



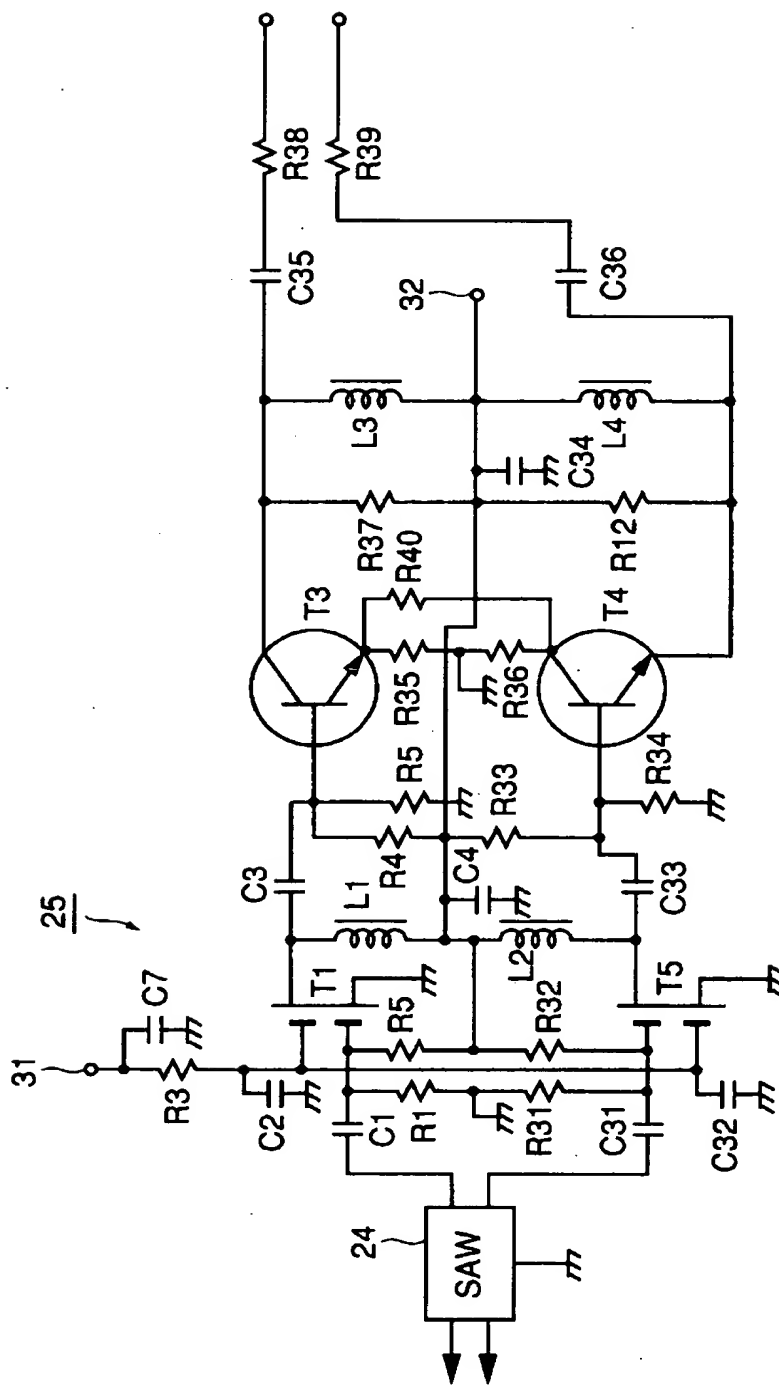
【図 4】



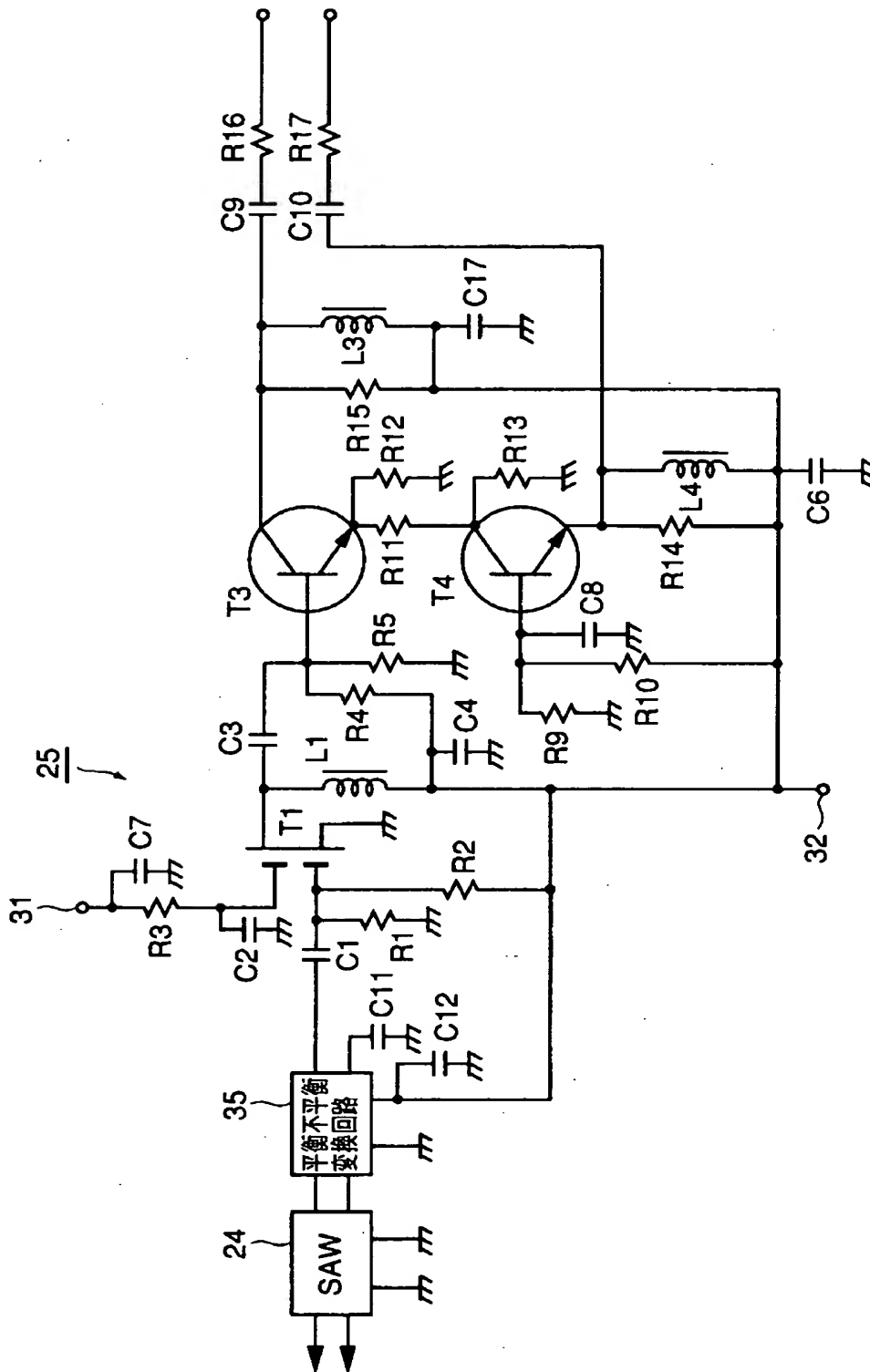
【図 5】



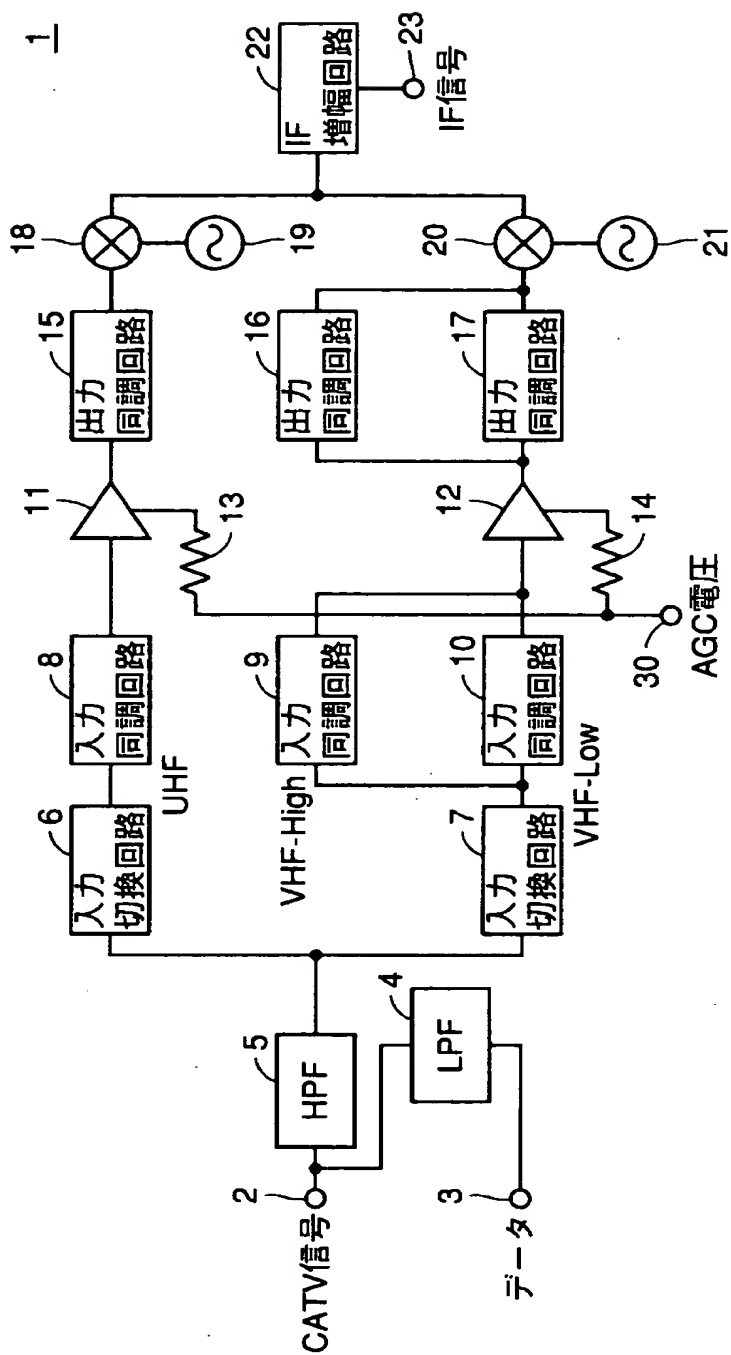
【図 6】



【图 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 Q A M復調回路に入力する中間周波信号のレベルが高くかつ一定で平衡型で出力できるケーブルモデム用チューナを提供する。

【解決手段】 チューナ 1 に含まれる I F 増幅回路 2 2 から出力される I F 信号を S A W フィルタ 2 4 により伝送すべき帯域幅に変換するとともに不要信号を除去、 I F A G C 回路 2 5 により利得を一定にし、 I F 増幅回路 2 6 で増幅した後ローパスフィルタ 2 7 で不要帯域成分を除去し、平衡不平衡変換回路 2 8 により平衡な I F 信号を出力して Q A M復調回路に出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社